

⑨ 日本国特許庁 (JP) ⑩ 特許出願公開  
 ⑪ 公開特許公報 (A) 平3-4186

⑫ Int. Cl. <sup>5</sup> G 01 R 31/28 G 06 F 11/22	識別記号 360 P	庁内整理番号 7343-5B 6912-2C 6912-2G	⑬ 公開 平成3年(1991)1月10日 G 01 R 31/28	V G
審査請求 未請求 請求項の数 1 (全9頁)				

⑭ 発明の名称 テスト回路生成システム

⑮ 特 願 平1-138864  
 ⑯ 出 願 平1(1989)5月31日

⑰ 発明者 新田 進 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内  
 ⑱ 出願人 株式会社東芝 神奈川県川崎市幸区堀川町72番地  
 ⑲ 代理人 弁理士 鈴江 武彦 外3名

明細書

1. 発明の名称

テスト回路生成システム

2. 特許請求の範囲

複数に分割された回路ブロック毎に動作試験を行い得るように構成された論理回路に対して、該回路の動作テストを行うためのテスト回路を自動生成するテスト回路生成システムにおいて、予め試験データが用意されていない回路ブロックについて、スキャンデザイン方式によるスキャンバス及びスキャンクロック等のテスト回路を自動生成する手段と、予め試験データが用意されている回路ブロックについて、マクロテスト方式によるマクロテスト用のテスト回路を自動生成する手段とを具備してなることを特徴とするテスト回路生成システム。

3. 発明の詳細な説明

[発明の目的]

(産業上の利用分野)

本発明は、テスト容易化のため分割してテス

ト可能にした論理回路において、テスト回路を自動生成するためのテスト回路生成システムに関する。

(従来の技術)

近年、集積回路技術の進歩によりLSIが益々高集成化している。そしてLSIの高集成化は、各種情報処理装置のコンパクト化等の利点を提供する一方で、種々の新たな問題を生み出している。その一つは、回路試験に関するものであり、大規模化、複雑化した集積回路の動作試験は、非常に困難となっている。

この問題を解決する方法の一つとして、マクロテスト方式(又は分割テスト方式)がある。この方式は、テスト容易な規模に論理回路を機能的に分割し、各回路ブロック毎にテストする方式である。

第6図に、この方式を採用した集積回路装置の例を示す。同図において、60は集積回路チップであり、61(61<sub>1</sub>, 61<sub>2</sub>, ...)は試験単位毎に分割された回路ブロックである。62

## 特開平3-4186(2)

(82<sub>1</sub>, 82<sub>2</sub>, ...) は各回路ブロック 6-1 の試験選択線、6-3 (83<sub>1</sub>, 83<sub>2</sub>, ...) は各試験選択線 6-2 をチップ外部に導出するためのパッドである。図では省略したが各回路ブロック 6-1 の間には、実際の動作において、これらを有機的に接続するための配線や切替え回路等を有する。

このような構成において、動作試験を行う際には、試験選択線 6-2 のいずれか一つを例えば “1” とし、残りの選択線を “0” として、試験をする一つのブロックのみを選択する。回路ブロック選択の具体的な内容は、

- ①一つの回路ブロックにのみ電源をオンとする。
- ②一つの回路ブロックにのみクロックを供給する。
- ③本来の回路動作を行うための回路ブロックの入出力線を機能的に切断して一つの回路ブロックのみ動作可能とする。

等である。

このようなマクロテスト方式により、複雑な集積回路の試験が非常に容易となる。また、既設計の回路ブロック（スーパーマクロセル又はメガセル）の場合には、そのブロック用の試験データを流用できるため、さらに容易になる。

しかしながら、第6図の構成は本来の信号線及びパッドの他に試験用の選択線 6-2 及びパッド 6-3 を必要とする難点があるため、第7図に示すようなデコーダを内蔵すること、或いは第8図に示すようなシフトレジスタを内蔵すること等が行われる。第7図のようなデコーダ回路を内蔵すれば、A<sub>1</sub> ~ A<sub>n</sub> の3入力で S<sub>1</sub> ~ S<sub>n</sub> の8本の選択線を選択することができる。また、第8図に示すようなシフトレジスタを内蔵すれば、入力信号 S<sub>IN</sub> とクロック C<sub>L</sub> により各段出力 Q<sub>1</sub> ~ Q<sub>n</sub> を順次 “1” にしていくことによって、試験選択線を順次選択することができる。

しかし、これらの付加回路は、人手で作成していたのでは時間も掛かり、必要とするコスト

も多大なものになるという問題点がある。また、人手で作成しているとミスも増加するという問題点がある。さらに、既設計の回路ブロックでない場合には、そのブロック用の試験データを新たに作成しなければならないという問題点がある。

大規模、複雑化する集積回路の動作試験の問題を解決する他の方法は、スキャンデザイン方式を採用することである。第9図はスキャンデザイン方式の構成図を示す。図において 9-1 は組み合わせ回路、9-2 (92<sub>1</sub>, 92<sub>2</sub>, ..., 92<sub>n</sub>) は外部入力、9-3 (93<sub>1</sub>, 93<sub>2</sub>, ..., 93<sub>m</sub>) は外部出力、9-4 (94<sub>1</sub>, 94<sub>2</sub>, ..., 94<sub>k</sub>) はスキャン用フリップフロップ、9-5 はスキャンイン入力、9-6 はスキャンアウト出力、9-7 はシステムクロック、9-8, 9-9 はスキャンクロックである。図において、S<sub>IN</sub> から S<sub>OUT</sub> に至るバスがスキャンバスであり、スキャンイン入力 S<sub>IN</sub> からデータをシフトインしてスキャン用フリップフロップ 9-4 にデータを設定することに

よって、スキャン用フリップフロップ 9-4 の出力から組み合わせ回路 9-1 に対して入力を与えることができる。スキャン用フリップフロップ 9-4 の出力と外部入力 9-2 (P<sub>1</sub><sub>1</sub>, P<sub>1</sub><sub>2</sub>, ..., P<sub>1</sub><sub>n</sub>) によって組み合わせ回路 9-1 に入力を印加すると、組み合わせ回路 9-1 の出力は外部出力 9-3 (P<sub>O<sub>1</sub></sub>, P<sub>O<sub>2</sub></sub>, ..., P<sub>O<sub>m</sub></sub>) とスキャン用フリップフロップ 9-4 の入力に出力される。

外部出力 9-3 の結果を観測し、組み合わせ回路 9-1 の出力をスキャン用フリップフロップ 9-4 にラッチして、さらにスキャン用フリップフロップ 9-4 のデータをシフトアウトして、スキャンアウト出力 9-6 (S<sub>OUT</sub>) で観測することによって、組み合わせ回路 9-1 の試験を行うことができる。組み合わせ回路 9-1 以外の回路はスキャン用フリップフロップ 9-4 の部分であるが、これはシフトレジスタとしての機能を確認することによって容易に試験することができる。

スキャンデザイン方式は、順序回路を組み合わせ回路シフトレジスタに分けることによって、順序回路のテスト問題を組み合わせ回路のテスト問題に置き換えることによってテストの容易化を計る方法である。しかし、この方法はフリップフロップの数が多いとテストのため付加する回路が著しく増大するという欠点がある。また、スキャン化するための付加回路は、人手で作成していたのでは時間も掛かり、必要とするコストも多大なものになるという問題点がある。さらに、人手で作成しているとミスも増大するという問題点がある。

#### (発明が解決しようとする課題)

このように、従来のマクロテスト方式では、付加する試験ブロック選択回路を設計するために、設計期間が長くなる、人手設計によるミスが増加する、既設計の回路ブロックでない場合には試験データを新たに作成しなければならない等の問題点があった。

またスキャンデザイン方式は、フリップフロ

ップの数が多いとテストのため付加する回路が著しく増大する、人手設計によるミスが増加する、という欠点があった。

本発明は、上記の点に鑑みてなされたもので、その目的とするところは、コンピュータ設計によってテスト回路を自動生成することができ、人手設計によるミスをなくすことができ、且つ設計期間の短縮をはかり得るテスト回路生成システムを提供することにある。

#### [発明の構成]

##### (課題を解決するための手段)

本発明の竹子は、スキャンデザイン方式とマクロテスト方式とを組み合わせて用いることにより、双方の利点を生かして対象とする論理回路のテスト容易化をはかることがある。

即ち本発明は、複数に分割された回路ブロック毎に動作試験を行い得るように構成された論理回路に対して、該回路の動作テストを行うためのテスト回路を自動生成するテスト回路生成システムにおいて、予め試験データが用意され

ていない回路ブロックについて、スキャンデザイン方式によるスキャンバス及びスキャンクロック等のテスト回路を自動生成する手段と、予め試験データが用意されている回路ブロックについて、マクロテスト方式によるマクロテスト用のテスト回路を自動生成する手段とを設けるようにしたものである。

#### (作用)

本発明によれば、予め試験データが用意されていない回路ブロック（ランダムブロック）と予め試験データが用意されている回路ブロック（スーパーマクロセル又はメガセル）との混在した複雑で大規模な論理回路の試験について、従来人手で作成していたマクロテスト方式の試験用付加回路と、ランダムブロック内のスキャン方式のテスト回路を自動で生成することにより、簡単に対象とする論理回路のテスト容易化とテストデータの生成を行うことができる。

従って、人手設計によるミスをなくすことができ、さらに設計期間を短縮することができる。

また、スキャン方式とマクロテスト方式を組み合わせて使うことにより、スキャンデザイン方式だけの場合のようにフリップフロップの数が多いとテストのため付加する回路が著しく増大するという欠点と、マクロテスト方式だけの場合のように新たに設計するブロックの試験データを新たに作成しなければならないという問題点を同時に解決することができる。

#### (実施例)

以下、本発明の詳細を図示の実施例によって説明する。

第1図は、本発明の一実施例に係わるテスト回路生成システム及びテストデータ生成システムの構成を示す図である。第1図において、1は複数のブロックのブロック間接続データとブロック内接続データを含む回路接続データであり、2はブロック属性データ（ブロック種類、ブロック入出力端子の種類等の情報）を示す。

3は、回路接続データの解析処理部であり、回路接続データ1とブロック属性データ2を統

み込み、ブロック種類（スーパマクロセル…既設計のブロックで既存のテストデータがある、ランダム…新設計のブロックでテストデータが無く新たに作成する必要がある）の識別処理、端子の種類（入力端子、出力端子、入出力共用端子の区別、及び試験に使用する端子等）の識別処理と、ブロック間接続データの解析処理（外部入力端子からブロックに入るネット、ブロックから外部出力端子に出るネット、外部入出力共用端子とブロック間のネット、及びブロック間同士のネットの区別）を行う。

4は、スキャン回路生成部であり、テストデータの無いランダムブロックに対して、ランダムブロック内にあるフリップフロップをスキャン用フリップフロップに置き換え、スキャンバスで接続し、スキャンクロックを供給する回路を生成する。また、スキャンイン端子、スキャンアウト端子及びスキャンクロック端子等の新端子を生成し、テスト対象回路（ランダムブロック）情報データ5を出力する。

ことができる。

5は、スーパマクロセルテスト用テスト回路生成部であり、ブロック選択用のデコーダと信号選択用のマルチプレクサの生成、テスト用端子等の新端子の発生を行い、テスト回路付加後の回路接続データ9とスーパマクロセルテスト回路の端子データ10を出力する。テスト回路付加後の回路接続データ9は、自動配線配線のデータとなる。11は、テストデータ処理部であり、テストデータ自動生成部6で自動生成されたランダムブロックのテストデータ7と既存のスーパマクロセルテストデータ12から回路全体のテストデータ13を生成する。

このような構成とすれば、新規作成のブロック（ランダムブロック）のスキャン回路が自動付加された接続データと自動生成されたテストデータ、及びマクロテスト用の試験回路が挿入された回路全体の接続データとテストデータが得られる。

第3図は、本実施例をより具体的に説明する

6は、テストデータ自動生成部であり、スキャン回路生成部4でスキャン化されたランダムブロックに対して、テスト対象回路（ランダムブロック）情報データ5を基にテストデータの自動生成を行い、テストデータ7を出力する。

テストデータの自動生成の方法としては、乱数法、D-algorithm (J.P.Roth, "Diagnosis of Automata Failures: A Calculus and a Method," IBM J.Res.Dev., vol.10, No.4, July 1966, pp.278-281) 、PODEM (P.Goel, "An Implicit Enumeration Algorithm to Generate Tests for Combinational Logic Circuits," IEEE Trans. Comput., vol.C-30, No.3 March 1981, pp.215-222) 、FAN (H.Pujivara and T.Shiomoto, "On the Acceleration of Test Generation Algorithms," IEEE Trans. Comput., vol.C-32, No.12, Dec. 1983, pp.1137-1144) 等のアルゴリズム法が、組み合わせ回路のテスト生成の方法として知られており、スキャン化されたランダムブロックに対して適用す

ためのもので、テスト回路生成システム及びテストデータ生成システムが対象とする論理回路のモデルを示している。第3図において、31は回路全体、32, 33, 34は既存のブロック（スーパマクロセル）、35はそれ以外の全ての回路を一つのブロックとしたランダムブロックである。第3図における配線（ネット）は、外部入出力端子とブロックの間の配線、ブロック間どうしの配線の主に2種類の配線がある。これらの配線は、外部端子の属性（入力、出力、入出力共用）とブロック（スーパマクロセル及びランダムブロック）の入出力端子の属性（入力、出力、入出力共用）によって、さらに分類される。第3図の回路モデルを基にして、前記第1図に示すシステムによりテスト回路の自動生成及びテストデータの自動生成を行う。

第2図は、本実施例の作用を説明するためのフローチャートである。第2図において、最初に、回路接続データとブロック属性データをコンピュータディスクファイルから読み込み（ス

ステップ1)、ブロック入出力端子の種類(入力端子、出力端子、入出力共用端子の区別及び試験に使用する端子等)の識別処理と、ブロック種類(スーパーマクロセル…既設計のブロックで既存のテストデータがある、ランダム…新設計のブロックでテストデータが無くこれから作成する必要がある)の識別処理を行う(ステップ2)。

その後、ブロック間接続関係の解析処理(外部入力端子からブロックに入るネット、ブロックから外部出力端子に出るネット、外部入出力共用端子とブロック間のネット、及びブロック間同士のネットの分類)を行う(ステップ3)。これらは、ブロック入出力端子の種類によってさらに分類される。

ブロック間接続関係の解析処理の後、スーパーマクロセル以外の部分をランダムブロックと見なし、ランダム部のスキャン化を行う(ステップ4)。このスキャン化は、以下のようにして行われる。

ことによって行われる。

第4図のようにランダム部のスキャン化を行った後、マクロテスト用のテスト回路の付加を行う(ステップ5)。ブロック選択用のデコーダ回路を挿入し、ブロック間接続関係の解析処理で判明したブロック間のネットに対してマルチブレクサを挿入して、外部端子から入力を入れる、及び出力を出せるようにする。

第5図は、本実施例のテスト回路生成システムによって生成するマクロテスト用のテスト回路の例を示す。第5図(a)は、3入力で8ブロックを選択する場合デコーダの例であり、図において、51<sub>1</sub>(51<sub>11</sub>, 51<sub>12</sub>, ..., 51<sub>1n</sub>)はインバータ回路、52<sub>1</sub>(52<sub>11</sub>, 52<sub>12</sub>, ..., 52<sub>1n</sub>)は NAND回路、53<sub>1</sub>(53<sub>11</sub>, 53<sub>12</sub>, ..., 53<sub>1n</sub>)はインバータ回路である。

第5図(a)の回路は、A<sub>1</sub>, A<sub>2</sub>, A<sub>3</sub>に“0”又は“1”的値を設定するとS<sub>1</sub>, S<sub>2</sub>, ..., S<sub>n</sub>のうちどれか一つの出力が“1”になり、8ブロックのうち一つのブロックを選択す

第4図は、本実施例のテスト回路生成システムによって行うランダム部のスキャン化の例を示す。第4図において、41はランダムブロック、42はスキャンイン入力端子、43はスキャンアウト出力端子、44(44<sub>1</sub>, 44<sub>2</sub>, 44<sub>3</sub>, ..., 44<sub>n</sub>)はスキャン用フリップフロップ、45, 46はスキャンクロック、47(47<sub>1</sub>, 47<sub>2</sub>, 47<sub>3</sub>, ..., 47<sub>n-1</sub>, 47<sub>n</sub>)はスキャンバスの配線、48, 49はスキャンクロックの供給系を示す。ランダム部のスキャン化は、  
①スキャン端子(スキャンイン入力端子42、スキャンアウト出力端子43、スキャンクロック端子45, 46)を発生する。  
②通常のフリップフロップをスキャン用フリップフロップに置き換える。  
③各々のフリップフロップをシフトレジスタ接続(スキャンバス)する。  
(第4図における47<sub>1</sub>, ..., 47<sub>n</sub>の接続)  
④スキャンクロックの供給系48, 49を生成する

ことができる。

第5図(b)は、2つのブロックの間にマルチブレクサを挿入する場合の例を示す。図において、54(54<sub>1</sub>, 54<sub>2</sub>)はスーパーマクロセル、55(55<sub>1</sub>, 55<sub>2</sub>)はマルチブレクサ、56は外部入力端子、57は外部出力端子、58(58<sub>1</sub>, 58<sub>2</sub>, ..., 58<sub>n</sub>)は NAND回路である。マルチブレクサ55<sub>1</sub>はスーパーマクロセル54<sub>1</sub>の出力と外部入力56の選択を行い、マルチブレクサ55<sub>2</sub>はスーパーマクロセル54<sub>2</sub>の出力とマルチブレクサ55<sub>1</sub>の出力の選択を行う。ブロック選択入力SA, SBは、第5図(a)のデコーダの出力であり、SA, SBは、それぞれその反転出力である。

第5図(b)において、スーパーマクロセル54<sub>1</sub>のテストを行う場合には、ブロック選択入力SAの値を“1”、ブロック選択入力SBの値を0に設定することによって、外部入力端子56からスーパーマクロセル54<sub>1</sub>に入力を与えることができ、スーパーマクロセル54<sub>1</sub>の出力をマ

ルチブレクサ55<sub>1</sub>, 55<sub>2</sub>を通して外部出力端子57から観測することによりテストを行うことができる。また、スーパマクロセル54<sub>2</sub>のテストを行う場合には、ブロック選択入力SAの値を“0”、ブロック選択入力SBの値を“1”に設定することによって、外部入力端子56からマルチブレクサ55<sub>1</sub>を通して、スーパマクロセル54<sub>2</sub>に入力を与えることができ、スーパマクロセル54<sub>2</sub>の出力をマルチブレクサ55<sub>2</sub>を通して外部出力端子57から観測することによって、テストを行うことができる。

第5図のようなマクロテスト用のテスト回路を付加した後、ランダムブロックのスキャン化及びマクロテスト用のテスト回路を付加した後の接続データをコンピュータディスクファイルに出力する（ステップ6）。テスト回路を付加した後の接続データは、自動配置配線用のデータとなる。

最後に、スキャン化したランダムブロックのテストデータの自動生成を行い、発生させたラ

ンダムブロックのテストデータとスーパマクロセルの既存のテストデータを組み合わせて、LSI tester用テストデータをコンピュータディスクファイルに出力しLSI testerに送る（ステップ7～9）。

かくして本実施例によれば、ランダムブロックのスキャン化、マクロテスト用のテスト回路を自動生成することによって、人手による作業なしに複雑大規模な論理回路をテスト容易化することができると共に、テストデータを自動生成することができる。従って、人手設計によるミスをなくすことができる、設計期間を短縮することができる。しかも、スキャン方式とマクロテスト方式を組み合わせて用いることにより、スキャンデザイン方式だけの場合のようにフリップフロップの数が多いとテストのため付加する回路が著しく増大するという欠点と、マクロテスト方式だけの場合のように、新たに設計するブロックの試験データを新たに作成しなければならないという問題点を同時に解決すること

ができる。

なお、本発明は上述した実施例に限定されるものではなく、その要旨を逸脱しない範囲で、種々変形して実施することができる。

#### 【発明の効果】

以上詳述したように本発明によれば、スキャンデザイン方式とマクロテスト方式とを組み合わせて用いることにより、コンピュータ設計によってテスト回路を自動生成することができ、人手設計によるミスをなくすことができ、且つ設計期間の短縮をはかり得る。つまり、双方の利点を生かして対象とする論理回路のテスト容易化をはかることができる。

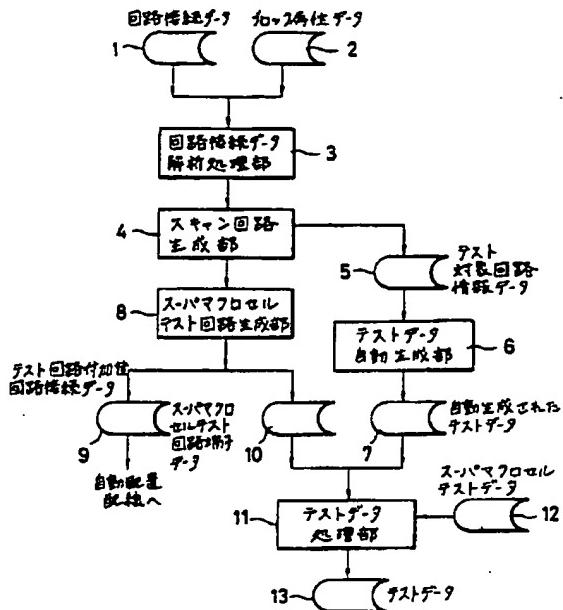
#### 4. 図面の簡単な説明

第1図乃至第5図は本発明の一実施例を説明するためのもので、第1図はテスト回路生成システム及びテストデータ生成システムの構成を示す図、第2図は同システムの作用を説明するためのフローチャート、第3図は同システムが対象とする論理回路のモデルを示す図、第4図

は同システムによって行うランダム部のスキャン化の例を示す図、第5図は同システムによって生成するマクロテスト用のテスト回路の例を示す図、第6図乃至第9図は従来の問題点を説明するためのもので、第6図はマクロテスト方式の構成回路装置の例を示す図、第7図は回路ブロック選択に用いられるデコーダ回路を示す図、第8図は回路ブロック選択に用いられるシフトレジスタを示す図、第9図はスキャンデザイン方式の構成を示す図である。

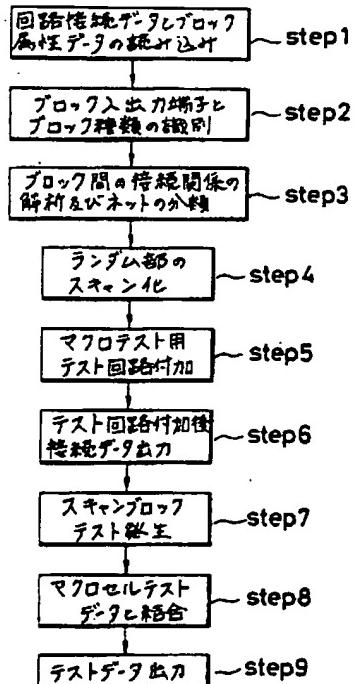
- 1…回路接続データ、
- 2…ブロック属性データ、
- 3…回路接続データ解析処理部、
- 4…スキャン回路生成部、
- 5…テスト対象回路情報データ、
- 6…テストデータ自動生成部、
- 7…自動生成されたテストデータ、
- 8…マクロセルテスト回路生成部、
- 9…テスト回路付加後回路接続データ、
- 10…マクロセルテスト回路端子データ、

- 1 1 … テストデータ処理部、
  - 1 2 … スーパマクロセルテストデータ、
  - 1 3 … 回路全体のテストデータ、
  - 3 1 … 回路全体、
  - 3 2, 3 3, 3 4 … スーパマクロセル、
  - 3 5, 4 1 … ランダムブロック、
  - 4 2 … スキャンイン入力端子、
  - 4 3 … スキャンアウト出力端子、
  - 4 4 … スキャン用フリップフロップ、
  - 4 5, 4 6 … スキャンクロック、
  - 4 7 … スキャンバスの配線、
  - 4 8, 4 9 … スキャンクロックの供給系、
  - 5 1, 5 3 … インバータ回路、
  - 5 2, 5 8 … ナンド回路、
  - 5 4 … スーパマクロセル、
  - 5 5 … マルチプレクサ、
  - 5 6 … 外部入力端子、
  - 5 7 … 外部出力端子。

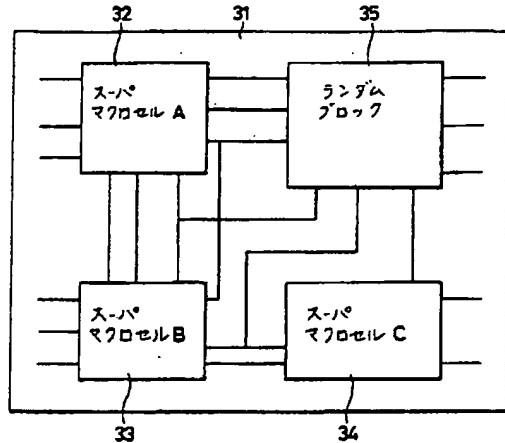


第 1 四

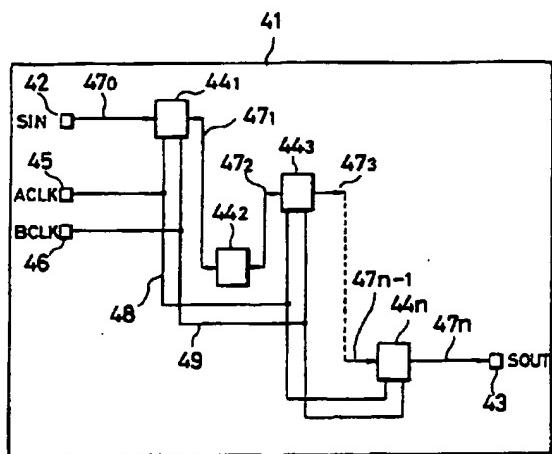
出題人代理人 弁理士 鈴江武彦



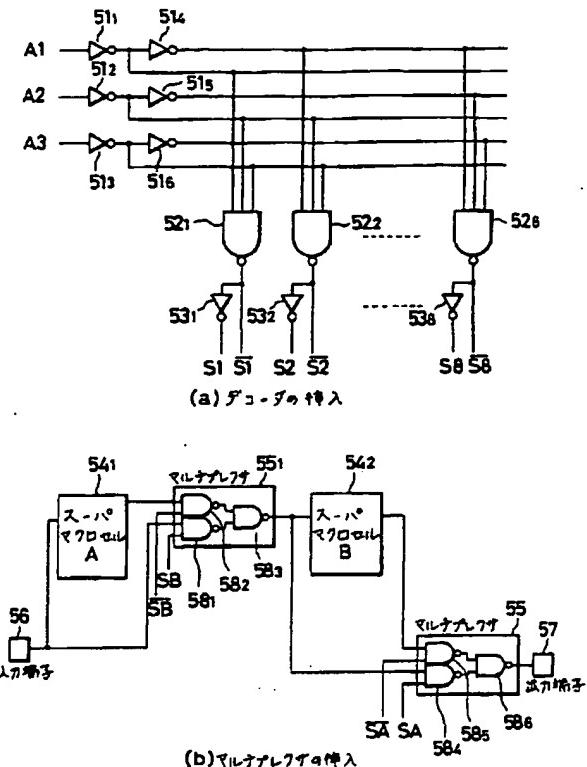
第3回



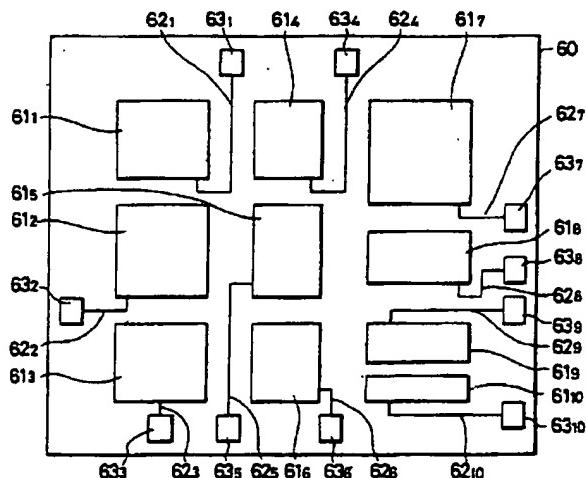
第 2 図



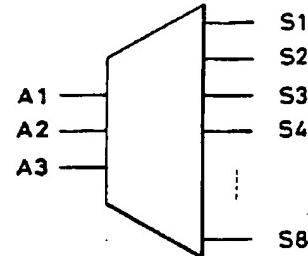
第4図



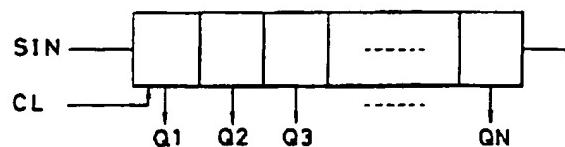
第5図



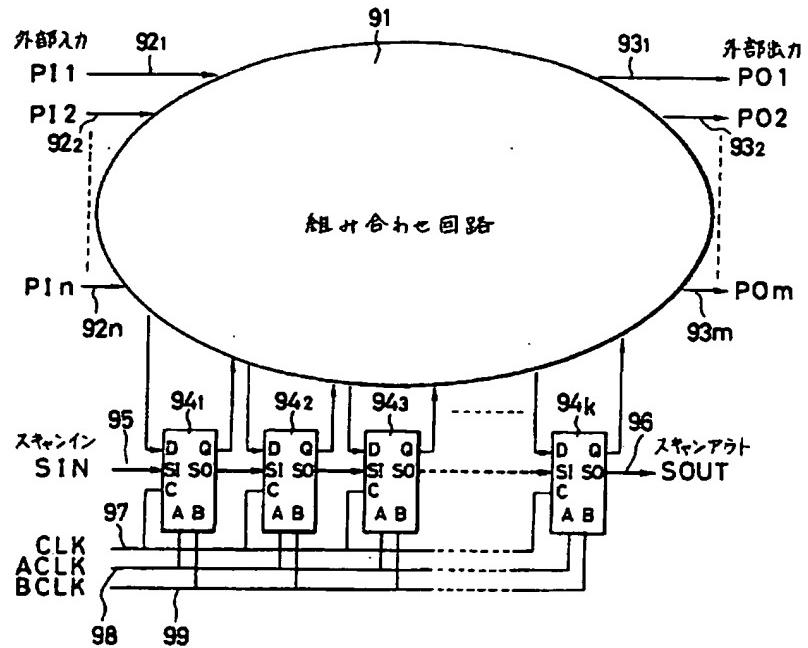
第6図



第7図



第8図



第9図